

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 03-183153

(43)Date of publication of application : 09.08.1991

(51)Int.Cl.

H01L 21/78

(21)Application number : 01-322958

(71)Applicant : FUJITSU LTD

(22)Date of filing : 12.12.1989

(72)Inventor : MURATA MASAHIRO

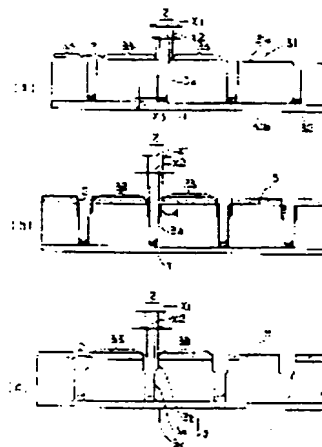
(54) MANUFACTURE OF SEMICONDUCTOR DEVICE

(57)Abstract:

PURPOSE: To divide a wafer into individual IC chips so as not to produce a breakage by a method wherein the wafer inside a dividing region is cut at a cutting width which is narrower than a dividing width between the individual IC chips in such a way that a part which is not cut is left and, after that, the part which has not been cut and the surface part of the wafer exposed inside the dividing region are etched.

CONSTITUTION: A wafer 31 inside a dividing region 2 between individual IC chips 33 is cut at a cutting width X2 which is narrower than a dividing width X1 between the individual IC chips 33 in such a way that a part 1 (a shaded part) which has not been cut is left. A mask 5 is formed on the IC chips 33 excluding the dividing region 2; after that, the part 1 which has not been cut is etched by using the mask 5; the surface part 4 of the wafer 31 exposed inside the dividing region 2 is etched.

Consequently, it is possible to divide the wafer into the individual IC chips so as not to produce a breakage inside the IC chips; it is possible to enhance the quality of the IC chips.



LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]



EUROPEAN PATENT OFFICE

Patent Abstracts of Japan

PUBLICATION NUMBER : 03183153
PUBLICATION DATE : 09-08-91

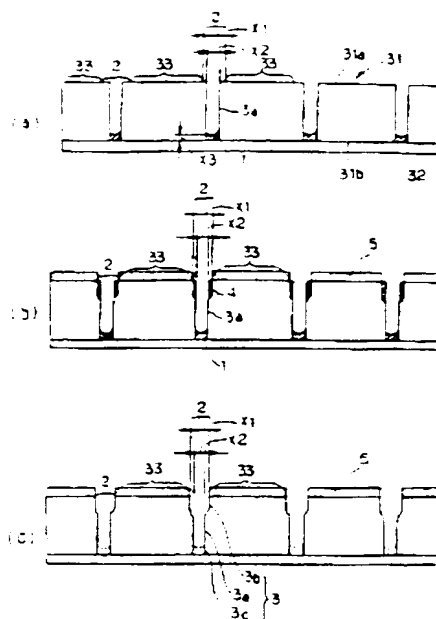
APPLICATION DATE : 12-12-89
APPLICATION NUMBER : 01322958

APPLICANT : FUJITSU LTD;

INVENTOR : MURATA MASAHIRO;

INT.CL. : H01L 21/78

TITLE : MANUFACTURE OF
SEMICONDUCTOR DEVICE



ABSTRACT : PURPOSE: To divide a wafer into individual IC chips so as not to produce a breakage by a method wherein the wafer inside a dividing region is cut at a cutting width which is narrower than a dividing width between the individual IC chips in such a way that a part which is not cut is left and, after that, the part which has not been cut and the surface part of the wafer exposed inside the dividing region are etched.

CONSTITUTION: A wafer 31 inside a dividing region 2 between individual IC chips 33 is cut at a cutting width X2 which is narrower than a dividing width X1 between the individual IC chips 33 in such a way that a part 1 (a shaded part) which has not been cut is left. A mask 5 is formed on the IC chips 33 excluding the dividing region 2; after that, the part 1 which has not been cut is etched by using the mask 5; the surface part 4 of the wafer 31 exposed inside the dividing region 2 is etched. Consequently, it is possible to divide the wafer into the individual IC chips so as not to produce a breakage inside the IC chips; it is possible to enhance the quality of the IC chips.

COPYRIGHT: (C)1991,JPO&Japio



⑨ 日本国特許庁(JP)

⑩ 特許出願公開

⑫ 公開特許公報(A) 平3-183153

⑬ Int.Cl.³

識別記号

庁内整理番号

⑭ 公開 平成3年(1991)8月9日

H 01 L 21/78

S

6940-5F

審査請求 未請求 請求項の数 1 (全4頁)

⑮ 発明の名称 半導体装置の製造方法

⑯ 特 願 平1-322958

⑰ 出 願 平1(1989)12月12日

⑱ 発 明 者 村 田 正 博 神奈川県川崎市中原区上小田中1015番地 富士通株式会社
内

⑲ 出 願 人 富 士 通 株 式 会 社 神奈川県川崎市中原区上小田中1015番地

⑳ 代 理 人 弁 理 士 井 桁 貞 一 外 2 名

明 細 書

3. 発明の詳細な説明

1. 発明の名称

半導体装置の製造方法

2. 特許請求の範囲

ウエハー(31)を各ICチップ(33)毎に分断する工程を有する半導体装置の製造方法において、

該各ICチップ(33)間の分断幅よりも小さい幅のカット幅で、かつカット残し部分(1)が残るように該各ICチップ(33)間の分断領域(2)内の該ウエハー(31)をカットする工程と、

該分断領域(2)を除く該ICチップ(33)上にマスク(5)を形成する工程と、

該マスク(5)を用いて、該カット残し部分(1)をエッチングするとともに、該分断領域(2)内の露出された該ウエハー(31)の表面部分(4)をエッチングする工程とを含むことを特徴とする半導体装置の製造方法。

(概要)

半導体装置の製造方法に関し、

カケが生じないようにウエハーを各ICチップ毎に分断することができ、ICチップの品質を向上させることができる半導体装置の製造方法を提供することを目的とし、

ウエハーを各ICチップ毎に分断する工程を有する半導体装置の製造方法において、該各ICチップ間の分断幅よりも小さい幅のカット幅で、かつカット残し部分が残るように該各ICチップ間の分断領域内の該ウエハーをカットする工程と、該分断領域を除く該ICチップ上にマスクを形成する工程と、該マスクを用いて、該カット残し部分をエッチングするとともに、該分断領域内の露出された該ウエハーの表面部分をエッチングする工程とを含むように構成する。

〔産業上の利用分野〕

本発明は、半導体装置の製造方法に係り、ウエハーを個々の１Ｃチップに分断する工程を有する半導体装置の製造方法に適用することができ、特に１Ｃチップにダメージを与えないようにウエハーを個々の１Ｃチップに分断することができる半導体装置の製造方法に関する。

従来はリング形状または円板形状のダイヤモンドプレートを高速回転させて、ウエハーを切断して個々の１Ｃチップに分断していたが、近年その方法も粘着テープを利用したフルカット方式が主流となってきている。

〔従来の技術〕

従来、フルカット方式による場合には、第２図に示すように、ウエハー31の裏面31bを固定粘着テープ32に接着してウエハー31を固定し、リング形状または円板形状のダイヤモンドプレートを用いてウエハー31の表面31aから裏面31bまで全厚を切断することにより、ウエハー31を各１Ｃチップ

33毎に分断していた。なお、第２図において、分断溝34は各１Ｃチップ33間をダイヤモンドブレードで切断した分断溝である。

〔発明が解決しようとする課題〕

しかしながら、上記したダイヤモンドブレードでウエハー31をフルカットして各１Ｃチップ33毎に分断を行う従来の製造方法では、第３図に示すように、切断し始めの表面31a部分と切断終りの裏面31b部分にカケ41（チップリングともいう）が発生し、１Ｃチップ33にダメージを与えたりする等１Ｃチップ33の品質を低下させてしまうという問題があった。上記カケ41が発生するのは、ダイヤモンドブレードでウエハー31を切断する際、特に切断し始めの表面31a部分と切断終りの裏面31b部分で切断抵抗が変動し易いことによるものと考えられる。

上記カケ41が発生するという問題を解決する手段としては、切り込み量を小さくし数回に分けて切断する方法が検討されたが、工数アップに比べ

効果がほとんどなく実用的でなかった。

そこで、本発明は、カケが生じないようにウエハーを各１Ｃチップ毎に分断することができ、１Ｃチップの品質を向上させることができる半導体装置の製造方法を提供することを目的としている。

〔課題を解決するための手段〕

本発明による半導体装置の製造方法は上記目的達成のため、ウエハーを各１Ｃチップ毎に分断する工程を有する半導体装置の製造方法において、該各１Ｃチップ間の分断幅よりも小さい幅のカット幅で、かつカット残し部分が残るように該各１Ｃチップ間の分断領域内の該ウエハーをカットする工程と、該分断領域を除く該１Ｃチップ上にマスクを形成する工程と、該マスクを用いて、該カット残し部分をエッチングするとともに、該分断領域内の露出された該ウエハーの表面部分をエッチングする工程とを含むものである。

〔作用〕

本発明は、第１図（ａ）～（ｃ）に示すように、各１Ｃチップ33間の分断幅 X_1 よりも小さい幅のカット幅 X_2 で、かつカット残し部分１（斜線部）が残るように各１Ｃチップ33間の分断領域２内のウエハー31がカットされ、分断領域２を除く１Ｃチップ33上にマスク５が形成された後、マスク５が用いられ、カット残し部分１がエッチングされるとともに、分断領域２内の露出されたウエハー31の表面部分４がエッチングされる。

したがって、１Ｃチップ内にカケが生じないようにウエハーを各１Ｃチップ毎に分断することができるようになり、１Ｃチップの品質を向上させることができるようになる。詳細については実施例で説明する。

〔実施例〕

以下、本発明を図面に基づいて説明する。

第１図（ａ）、（ｂ）は本発明の半導体装置の製造方法の一実施例を説明する図である。

この図において、第2図と同一符号は同一または相当部分を示し、1はカット残し部分、2は各1Cチップ33間の分断領域、3aはカット残し部分1が残るように分断領域2内のウエハー31がカットされて形成された溝、3bは分断領域2内の露出されたウエハー31の表面部分4がエッチングされたエッチング領域、3cはカット残し部分1がエッチングされたエッチング領域、3は各1Cチップ33毎に分断する溝3a及びエッチング領域3b、3cからなる分断溝である。5は例えばレジストからなるマスクである。

次に、その製造方法について説明する。

ここではウエハー31の裏面31bにAu、Ag等の金属を形成していない場合のウエハー31を各1Cチップ33毎に分断する方法について具体的に説明する。

まず、第1図(a)に示すように、ウエハー31の裏面31bを固定粘着テープ32に接着してウエハー31を固定し、高速回転可能な厚さが例えば30μmのダイヤモンドブレードを用いて各1Cチップ

33間の幅が例えば30μmの分断幅X1より小さい幅(例えば30μm)のカット幅X2で、かつ厚さX3が例えば50μmのカット残し部分1(斜線部)が残るように各1Cチップ33間の分断領域2内のウエハー31をカットして溝3aを形成する。

次に、第1図(b)に示すように、レジストを全面に塗布した後、露光・現像によりレジストをパターンニングして分断領域2を除く1Cチップ33上にマスクを形成する。

次に、第1図(c)に示すように、例えばRIEによりマスク5を用いて、カット残し部分1(第1図(b)に示す斜線部1)をエッチングして底部に固定粘着テープ32表面を露出させるとともに、分断領域2内の露出されたウエハー31の表面部分4(第1図(b)に示す斜線部4)をエッチングすることにより、各1Cチップ33毎に分断する溝3a、及びエッチング領域3b、3cからなる分断溝3を形成する。そして、レジストからなるマスク5を剥離することにより分断を完了させる。なお、使用するエッチング剤及びレジスト

剥離剤は固定粘着テープ32を侵さない物質を用いるのが好ましい。

すなわち、上記実施例では、各1Cチップ33間の分断幅X1よりも小さい幅のカット幅X2で各1Cチップ33間の分断領域2内のウエハー31をカットしている。このため、この状態で従来の問題であったカットし始めのカケが発生しても、カット幅X2を分断幅X1よりも適宜小さくしておけばカケが1Cチップ33に発生しないように分断領域2内のウエハー31の表面部分4に発生させるようにすることができる。そして、カット残し部分1が残るように1Cチップ33間の分断領域2内のウエハー31をカットしている。このため、この状態では従来の問題であったカットし終りのカケという問題は発生しない。そして、分断領域2を除く1Cチップ33上に形成したマスク5を用いて、カット残し部分1をエッチングするとともに、分断領域2内の露出された、カケが発生しているウエハー31の表面部分4をエッチングしている。したがって、1Cチップ33内にカケが発生しないよう

にウエハー31を各1Cチップ33毎に分断することができ、1Cチップ33の品質を向上させることができる。

(発明の効果)

本発明によれば、1Cチップ内にカケが生じないようにウエハーを各1Cチップ毎に分断することができ、1Cチップの品質を向上させることができるという効果がある。

4. 図面の簡単な説明

第1図は本発明に係る半導体装置の製造方法の一実施例を説明する図、

第2図は従来例の製造方法を説明する図、

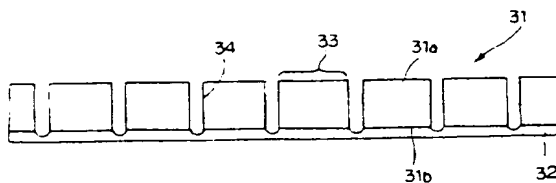
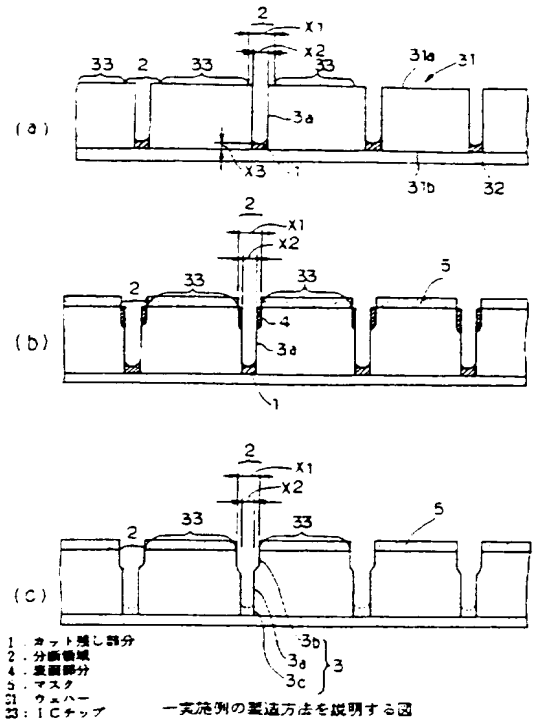
第3図は従来例の課題を説明する図である。

- 1……カット残し部分、
- 2……分断領域、
- 4……表面部分、
- 5……マスク、

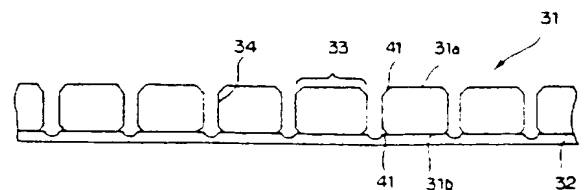
特開平3-183153(4)

31……ウエハー、
33……ICチップ、

代理人 弁理士 井 桁 貞



従来例の製造方法を説明する図
第 2 図



従来例の製造方法を説明する図
第 3 図